

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-224335
 (43) Date of publication of application : 21.08.1998

(51) Int. Cl. H04L 7/02
 H03K 5/153
 H03L 7/00
 H03L 7/095

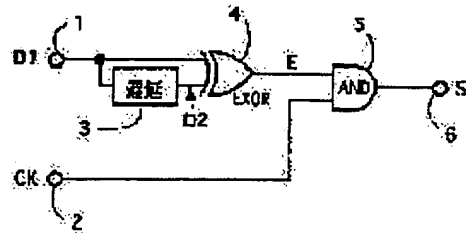
(21) Application number : 09-031480 (71) Applicant : NIPPON TELEGR & TELEPH CORP
 <NTT>
 (22) Date of filing : 31.01.1997 (72) Inventor : KAWANO RYUSUKE

(54) BIT PHASE DETECTION CIRCUIT AND BIT SYNCHRONOUS CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a bit phase detection circuit which is never affected by the phase margin of a DFF (D type flip-flop) circuit by acquiring an AND between the pulse and clock signals corresponding to the changing point of a data signal and outputting the propriety of phase relation between the data and clock signals.

SOLUTION: A data changing point detection circuit consists of a delay circuit 3 and an EXOR circuit 4 and outputs a detection signal E. In this bit phase detection circuit, the changing point of a data signal D1 is detected by the circuit 4 as a pulse 1 of the signal E. An AND circuit 5 acquires an AND between the pulse 1 and 1 of a clock signal CK. Therefore, a phase detection signal S is always kept at 0 as long as 1 of the signal CK is separate from the signal D1. If 1 of the signal CK is close to the edge of the signal S, the pulse 1 is generated from the signal S to decide that the signal D1 is close to the edge of the clock CK.



LEGAL STATUS

[Date of request for examination] 29.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平10-224335

(43)公開日 平成10年(1998)8月21日

(51)Int.Cl.⁶ 識別記号

H04L 7/02
H03K 5/153
H03L 7/00
7/095

FI

H04L 7/02 Z
H03L 7/00 D
H03K 5/153 S
H03L 7/08 B

審査請求 未請求 請求項の数4 FD (全7頁)

(21)出願番号 特願平9-31480

(22)出願日 平成9年(1997)1月31日

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 川野 龍介

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

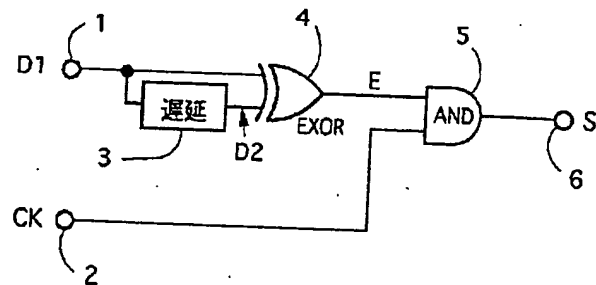
(74)代理人 弁理士 長尾 常明

(54)【発明の名称】 ビット位相検出回路およびビット同期回路

(57)【要約】

【課題】 DFF回路の位相余裕という性質に影響されないビット位相検出回路を実現する。

【解決手段】 データ信号を入力して該データ信号の変化点に対応するパルスを発生するデータ変化点検出回路(3、4)と、該データ変化点検出回路の出力パルス信号とクロック信号との論理積をとり前記データ信号と前記クロック信号の間の位相関係の良否を示す信号を出力する論理積回路(5)とからなる。



【特許請求の範囲】

【請求項 1】データ信号を入力して該データ信号の変化点に対応するパルスを発生するデータ変化点検出回路と、該データ変化点検出回路の出力パルス信号とクロック信号との論理積をとり前記データ信号と前記クロック信号の間の位相関係の良否を示す信号を出力する論理積回路とから構成されることを特徴とするビット位相検出回路。

【請求項 2】データ信号を入力して該データ信号の変化点に対応するパルスを発生するデータ変化点検出回路と、クロック信号を入力して該クロック信号の立上り点又は立下り点に対応するパルスを発生するクロックエッジ検出回路と、前記データ変化点検出回路の出力パルス信号と前記クロックエッジ検出回路の出力パルス信号との論理積をとり前記データ信号と前記クロック信号の間の位相関係の良否を示す信号を出力する論理積回路とから構成されることを特徴とするビット位相検出回路。

【請求項 3】データ信号を遅延制御信号により遅延させる遅延回路と、該遅延回路から出力するデータ信号とクロック信号との間の位相関係の良否を示す信号を出力する請求項 1 または 2 に記載のビット位相検出回路と、該ビット位相検出回路から出力するパルスを計数するカウンタと、該カウンタの計数結果に応じた前記遅延制御信号を発生する遅延制御回路と、前記遅延回路から出力するデータ信号を入力し前記クロック信号又は請求項 2 のクロックエッジ検出回路の出力パルス信号をクロック入力とするリタイミング部とで構成され、該リタイミング部の出力を出力データ信号としたことを特徴とするビット同期回路。

【請求項 4】請求項 3 のビット同期回路において、前記遅延回路と前記ビット位相検出回路との間に、ビット位相検出動作を特定の期間だけに限定するビット位相検出区間限定部を設けたことを特徴とするビット同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ビット位相が任意な入力データ信号を扱うデジタル伝送装置やデジタル信号処理装置のための、入力データ信号と装置のシステムクロック信号との間の位相関係の良否を判定するビット位相検出回路、および入力データ信号をシステムクロック信号に同期させるビット同期回路に関するものである。

【0002】

【従来の技術】従来、この種のビット位相検出回路は、クロック信号あるいはデータ信号を多相化し、これら多相のクロック信号またはデータ信号を用いて、D 型フリップフロップ回路（以下、「DFF 回路」と呼ぶ）による信号の取り込みを行い、その DFF 回路の出力の比較結果によってビット位相検出を行うものであり、またビ

ット同期回路は、そのビット位相検出回路の検出結果をクロック信号またはデータ信号の遅延制御回路に戻すことによって、クロック信号とデータ信号との最適位相を決定するものであった。

【0003】図 14 は従来のビット位相検出回路の一例を示す構成図である。101 はデータ信号 D1 の入力端子、102 はクロック信号 CK の入力端子、103 はデータ信号 D1 を所定時間遅延させてデータ信号 D2 として出力する遅延回路、104、105 は DFF 回路、106 は排他的論理和（EXOR）回路、107 は位相検出信号の出力端子である。

【0004】このビット位相検出回路では、クロック信号 CK のエッジがデータ信号 D1 のエッジ付近にあると、各 DFF 回路 104、105 の出力結果に時間的な差が生じ、その差が EXOR 106 で検出されるので、データ信号 D1 とクロック信号 CK との間の位相関係の良否を判定することができる。

【0005】

【発明が解決しようとする課題】ところが、この DFF 回路 104、105 は、実際には位相余裕という性質をもつため、図 15 に示すように不定領域があり、その部分が両 DFF 回路 104、105 でオーバーラップすると、その領域では DFF 回路 104、105 ともに出力結果が不定であるため、その出力の排他的論理和をとっても、結果が不定となり、位相検出ができない可能性がある。

【0006】そこで、この不定領域のオーバーラップを無くすためには、遅延回路 103 により図 16 に示すように、データ信号 D1 に対するデータ信号 D2 の遅延量を大きくすればよいが、このようにすると、有効的な 1 ビットの幅が減少し、この有効ビット幅とクロック信号 CK との位相関係を最適化することが困難になるというジレンマがあり、この種のビット位相検出回路を用いたビット同期回路においては、最高動作速度に制限を受けることという問題があった。

【0007】また、この種のビット位相検出回路を用いないビット同期回路であっても、DFF 回路のセットアップホールド時間が位相余裕に比較して無視できない速度領域では、瞬時かつ高精度にクロック信号の位相を DFF 回路の位相余裕内にアジャストすることが困難であった。

【0008】さらに、図 14 に示したビット位相検出回路では、データ信号 D1 とクロック信号 CK の位相関係を、まず DFF 回路 104、105 を用いて読み込んでから判定しているため、図 15 に示した不定領域とそうでないところの境界にクロックエッジが位置している場合は、ジッタの影響でその判定結果が揺らぐ恐れがあった。

【0009】本発明の第 1 の目的は、DFF 回路の位相余裕という性質に影響されないビット位相検出回路を提

供することである。第2の目的は、このようなビット位相検出回路を用いて、DFF回路の位相余裕という性質に起因する最高動作速度の低下を防止したビット同期回路を提供することである。第3の目的は、さらにジッタの影響に対する耐性を備えたビット同期回路を提供することである。

【0010】

【課題を解決するための手段】第1の発明のビット位相検出回路は、データ信号を入力して該データ信号の変化点に対応するパルスを発生するデータ変化点検出回路と、該データ変化点検出回路の出力パルス信号とクロック信号との論理積をとり前記データ信号と前記クロック信号の間の位相関係の良否を示す信号を出力する論理積回路とから構成した。

【0011】第2の発明のビット位相検出回路は、データ信号を入力して該データ信号の変化点に対応するパルスを発生するデータ変化点検出回路と、クロック信号を入力して該クロック信号の立上り点又は立下り点に対応するパルスを発生するクロックエッジ検出回路と、前記データ変化点検出回路の出力パルス信号と前記クロックエッジ検出回路の出力パルス信号との論理積をとり前記データ信号と前記クロック信号の間の位相関係の良否を示す信号を出力する論理積回路とから構成した。

【0012】第3の発明のビット同期回路は、データ信号を遅延制御信号により遅延させる遅延回路と、該遅延回路から出力するデータ信号とクロック信号との間の位相関係の良否を示す信号を出力する請求項1または2に記載のビット位相検出回路と、該ビット位相検出回路から出力するパルスを計数するカウンタと、該カウンタの計数結果に応じた前記遅延制御信号を発生する遅延制御回路と、前記遅延回路から出力するデータ信号を入力し前記クロック信号又は第2の発明のクロックエッジ検出回路の出力パルス信号をクロック入力とするリタイミング部とで構成し、該リタイミング部の出力を出力データ信号とした。

【0013】第4の発明のビット同期回路は、第3の発明のビット同期回路において、記遅延回路と前記ビット位相検出回路との間に、ビット位相検出動作を特定の期間だけに限定するビット位相検出区間限定部を設けて構成した。

【0014】

【発明の実施の形態】

【第1の実施の形態】図1は本発明の第1の実施の形態のビット位相検出回路の構成を示すブロック図である。

1はデータ信号D1が入力する入力端子、2はシステムのクロック信号CKが入力する入力端子、3はデータ信号D1を遅延して遅延データ信号D2として出力する遅延回路、4はデータ信号D1とD2の排他的論理和をとるEXOR回路、5はEXOR回路4の出力信号Eとクロック信号CKの論理積をとりビット位相検出信号Sと

して出力するAND回路、6は位相検出信号Sの出力端子である。遅延回路3とEXOR回路4はデータ変化点検出回路を構成し、その検出信号Eを出力する。

【0015】このビット位相検出回路では、データ信号D1の変化点がEXOR回路4で信号Eのパルス（「1」）として検出され、これとクロック信号CKの「1」との論理積がAND回路5でとられる。したがって、クロック信号CKの「1」とデータ信号D1のエッジとが離れている場合には、図2に示すように、位相検出信号Sは常時「0」となる。しかし、近付いている場合には、図3に示すように、位相検出信号Sにパルス（「1」）が発生し、データ信号D1とクロックCKのエッジが接近していることが判定される。

【0016】【第2の実施の形態】図4は本発明の第2の実施の形態のビット位相検出回路の構成を示すブロック図である。図1に示したものと同一のものには同一の符号を付した。ここでは、クロック信号CKの入力端子2にも遅延回路7を接続し、この遅延回路7で遅延させた遅延クロック信号CK1と入力端子2に入力したクロックCKの反転信号の論理積をAND回路8でとって、次段のAND回路5に入力させている。これら遅延回路7とAND回路8はクロック信号CKのエッジ（ここでは立下りエッジ）を検出するエッジ検出回路を構成する。なお、AND回路8を、遅延回路7の出力信号を反転させて処理するタイプのものに代えれば、クロック信号CKの立上りエッジを検出するエッジ検出回路を構成できる。

【0017】このビット位相検出回路では、データ信号D1のエッジを表すEXOR回路4の出力信号Eと、クロック信号CKのエッジを表すAND回路8の出力信号ECKのパルスが、図5に示すように離れていれば、ビット位相検出信号Sは「0」のままであるが、図6に示すように重なれば、ビット位相検出信号Sにパルスが現れ、データ信号D1とクロック信号CKのエッジが接近していることが判定される。

【0018】【第3の実施の形態】図7は本発明の第3の実施の形態のビット同期回路の構成を示すブロック図である。ここでは、図1に示した第1の実施の形態のビット位相検出回路を利用している。9はデータ信号D0を遅延させる遅延回路、10はこの遅延回路を制御する遅延制御部である。11はこの遅延制御部10に制御信号を送るカウンタであり、AND回路5から得られるビット位相検出信号Sのパルスを計数する。12は遅延回路9の出力データ信号D1を調整的に遅延させデータ信号D3とする遅延回路、13はそのデータ信号D3をクロック信号CKの立下りエッジで取り込むリタイミング部としてのDFF回路、14は出力端子である。

【0019】このビット同期回路では、遅延回路3、EXOR回路4およびAND回路5から構成されるビット位相検出回路において、データ信号D1とクロック信号

CKのエッジとが近い場合にはビット位相検出信号Sにパルスが現れるので、これをカウンタ11で計数し、その計数値に応じて遅延制御部10が遅延回路9においてデータ信号D1の遅延量(シフト量)を制御する。

【0020】したがって、この操作の繰返しによってビット位相検出信号Sにパルスが現れなくなると、遅延回路9の遅延量制御の操作が終り、このときDFF回路13に入力するデータ信号D3とクロック信号CKの位相関係は、データ信号D3のエッジとクロック信号CKの立下りエッジが必ず離れていることが保証されているので、図8に示すように、データ信号D3に対するビット同期が可能となる。

【0021】図9は図7に示したカウンタ11、遅延制御部10、および遅延回路9を具体化した回路図である。15はリセット端子、16はビット位相検出信号Sの入力端子、17はデータ信号D0の入力端子、18はデータ信号D1の出力端子である。また、19~21はシステム起動時に初期状態にリセットされるリセット機能付のTFF回路である。22~24はセレクトアであり、S端子の信号が「1」のとき入力端子Daのデータを20 選択し、「0」のとき入力端子Dbのデータを選択する。25は所定のデータ遅延量を持ったゲート回路であり、セレクトア22の入力端子Daには1個、セレクトア23の入力端子Daには2個、セレクトア24の入力端子Daには4個接続されている。

【0022】この図9の回路では、TFF回路19~21がリセットされた後、入力端子15にビット位相検出信号Sのパルスが入力する毎に、TFF回路19の出力信号A、TFF回路20の出力信号B、TFF回路21の出力信号Cが、図10に示すように変化する。

【0023】したがって、セレクトア22~24の遅延を無視すると、信号Sのパルスが0個ではすべてのセレクトア22~24が入力端子Dbを選択しデータ信号D1はデータ信号D0に対して遅延なし、信号Sのパルスが1個目ではセレクトア22のみが入力端子Daを選択しデータ信号D1は遅延量1(ゲート回路25の単位遅延量)、信号Sのパルスが2個目ではセレクトア23のみが入力端子Daを選択しデータ信号D1は遅延量2、信号Sのパルスが3個目ではセレクトア22と23が入力端子Daを選択しデータ信号D1は遅延量3、...、信号Sのパルスが7個目ではセレクトア22~24の全部が入力端子Daを選択しデータ信号D1は遅延量7となる。40 このようにして、図7に示した遅延回路9には、8種類の遅延量のうちからビット位相検出信号Sのパルス数に応じて選択された1個の遅延量が設定される。

【0024】なお、ここでは遅延量の種類が8種類の場合について説明したが、TFF回路、セレクトア、ゲート回路の各々の数を増減することにより、7種類以下あるいは9種類以上の遅延量を設定することができることは勿論である。

【0025】【第4の実施の形態】図7で説明した第3の実施の形態では、データ変化点検出信号Eとクロック信号CKの論理積をとってもビット位相検出信号Sにパルス(「1」)が立たない関係にあるクロック信号CKに対しては、データ信号D3がずれている。しかし、そのずれの距離(時間)が短く、図11の左側に示すようにジッタの大きさがバケット内で局所的に異なる場合には、もう一度ビット位相検出信号Sにパルスが立って、遅延回路9によりデータ信号D3がシフトする可能性がある。

【0026】この動作はさらに安定する位相関係に移行する(図11の右側参照)ものであるから望ましい動作ではあるが、この動作がデータ先頭ではなくデータ途中で起こることは望ましくない。

【0027】図12はこのようなジッタの発生に対する対策を施したビット同期回路を示す第4の実施の形態のブロック図である。図7に示したものと同一のものには同一の符号を付している。ここでは、遅延回路9とデータ変化点検出回路の遅延回路3との間に、ビット位相検出区間限定部としてのセレクトア26を接続し、このセレクトア26において、遅延回路9からのデータ信号と入力端子27からの固定レベル(「0」)の信号とを、制御端子28に入力するフレーム信号PF(パケットの先頭から所定時間だけ「1」となりその後はパケット終了まで「0」となる信号)で切り替えるようにしたものである。

【0028】ここでは、図13に示すように、フレーム信号PFが「1」の期間のみ、遅延回路9からのデータ信号D1をデータ変化点検出回路に送る。フレーム信号PFが「0」になったときは、端子27の「0」の信号をデータ変化点検出回路に送るので、そのビット位相検出回路が検出動作を停止し、ビット位相検出信号Sが「0」の状態に保持される。

【0029】この操作によって、図11の左側に示したように、ビット位相検出信号Sがジッタの影響により「0」から「1」に反転しやすい位相関係にデータ信号D3とクロック信号CKがあったとしても、ビット位相検出信号Sが「0」の状態であるので、フレーム信号PFが「1」の期間に決定したデータ信号D3とクロック信号CKとの位相関係が保持される。したがって、DFF回路13におけるデータ再生が誤ることはない。

【0030】【その他の実施の形態】なお、前記した第3の実施の形態(図7)や第4の実施の形態(図12)のビット同期回路において、ビット位相検出回路として第1の実施の形態(図1)のものを使用したが、第2の実施の形態(図4)のビット位相検出回路を使用することもできることは勿論である。

【0031】この場合、DFF回路13に入力させるリタイミング用のクロック信号としては、システムのクロック信号CKでも、また立下りエッジ検出したクロック

信号ECKでも、さらに立上りエッジ検出したクロック信号でも良いが、タイミング合わせの設計の簡略化の観点からは、後者の立上りまたは立下がりエッジ検出したクロック信号を用いる方が良い。

【0032】

【発明の効果】以上から第1、第2の発明によれば、DFF回路の位相余裕という性質に起因する不定領域を考慮する必要がなくなり、高精度にデータ信号とクロック信号との位相関係を判定することができる。第3の発明によれば、DFF回路の位相余裕という性質に起因する最高動作速度の低下を抑制したビット同期回路を実現することができる。第4の発明によれば、ジッタの影響による望ましくない場所でのデータ信号とクロック信号の位相関係の変化を禁止し、確実なビット同期を保証することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態のビット位相検出回路の構成を示すブロック図である。

【図2】 図1の回路の動作のタイミングチャートである。

【図3】 図1の回路の動作のタイミングチャートである。

【図4】 本発明の第2の実施の形態のビット位相検出回路の構成を示すブロック図である。

【図5】 図4の回路の動作のタイミングチャートである。

【図6】 図4の回路の動作のタイミングチャートである。

【図7】 本発明の第3の実施の形態のビット同期回路の構成を示すブロック図である。

【図8】 図7の回路の動作のタイミングチャートである。

【図9】 図7の回路のカウンタ11、遅延制御部10、および遅延回路9の部分の具体的回路図である。

【図10】 図9の回路の動作のタイミングチャートである。

【図11】 ジッタのある場合の説明のためのタイミングチャートである。

【図12】 本発明の第4の実施の形態のビット同期回路の構成を示すブロック図である。

【図13】 図12の回路の動作のタイミングチャートである。

【図14】 従来のビット位相検出回路の構成を示すブロック図である。

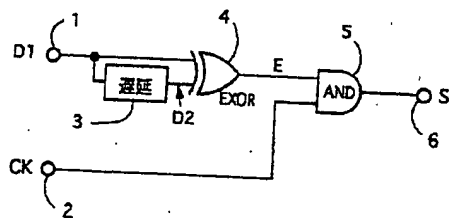
【図15】 図14の回路の動作のタイミングチャートである。

【図16】 図14の回路の動作のタイミングチャートである。

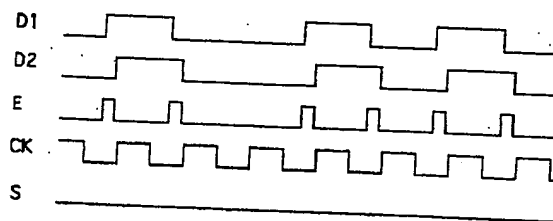
【符号の説明】

E：データ変化点検出信号、S：ビット位相検出信号、ECK：クロック立下り点検出信号

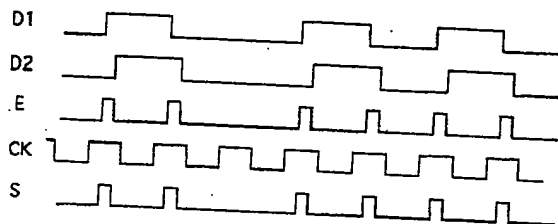
【図1】



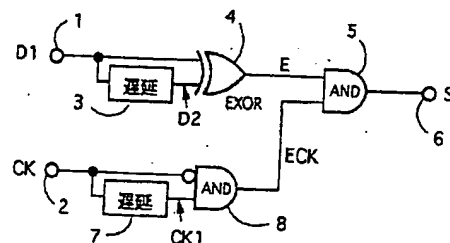
【図2】



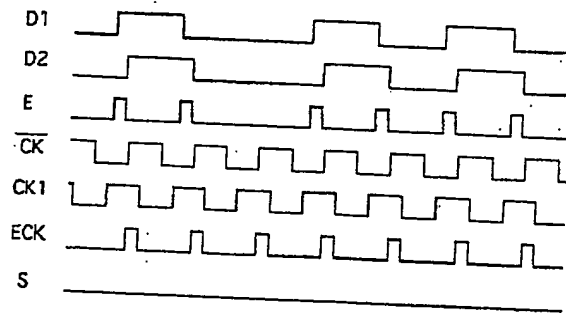
【図3】



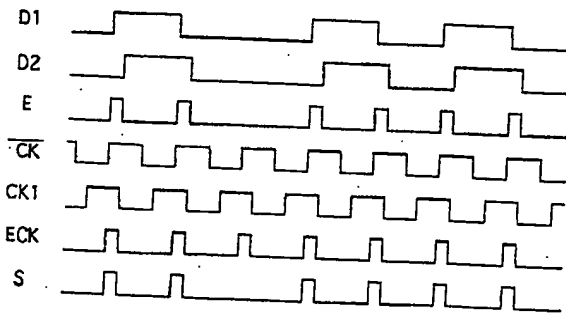
【図4】



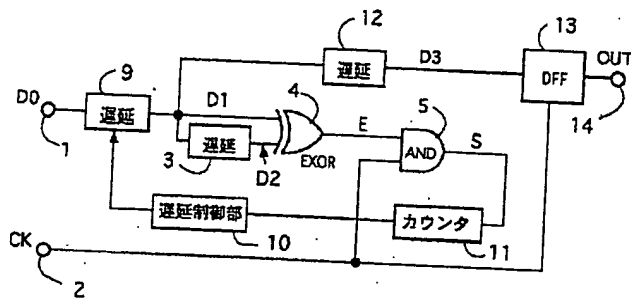
【図5】



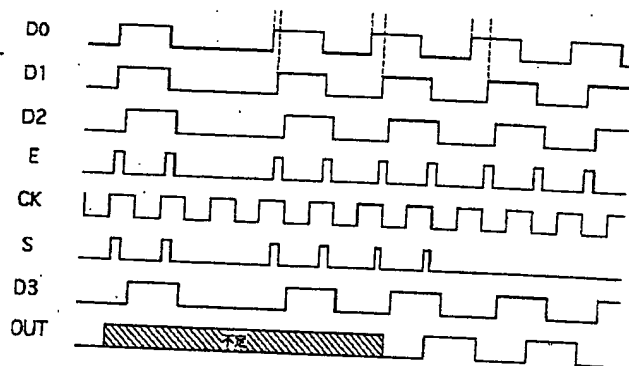
【図6】



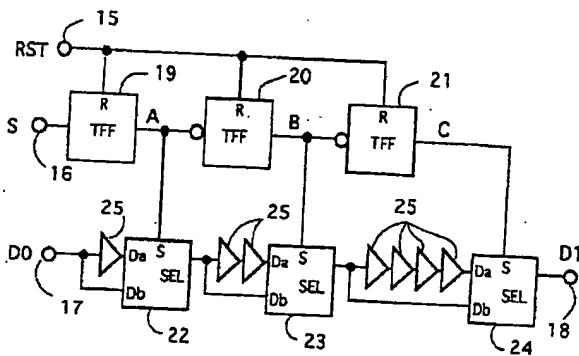
【図7】



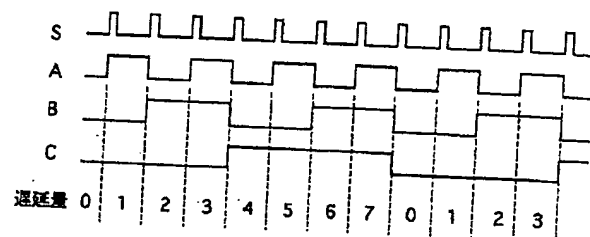
【図8】



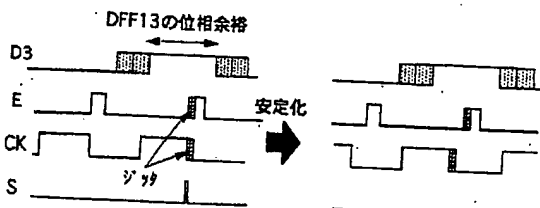
【図9】



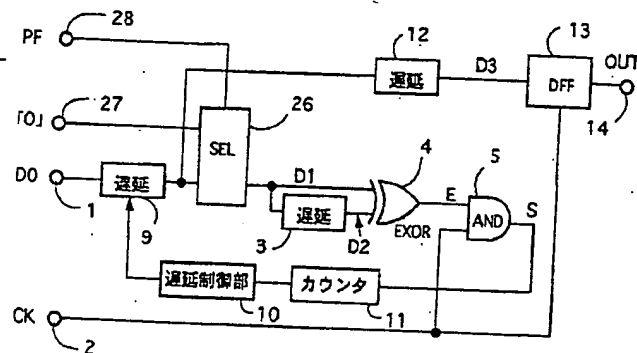
【図10】



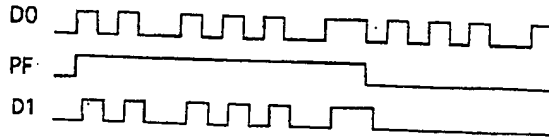
【図11】



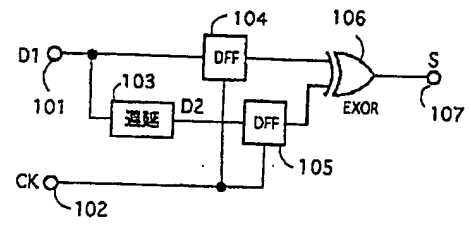
【図12】



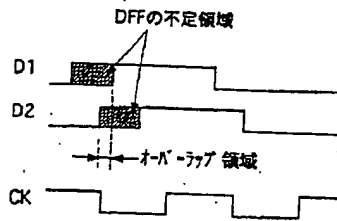
【図13】



【図14】



【図15】



【図16】

